

(2) Japanese Patent Application Laid-Open No. 2000-269482

The following is English translation of an extract from the above-identified documents relevant to the present application.

At manufacturing a Co silicide structure using Co for example, a directional sputtering method, typified by distant sputtering that forms a metal layer with distance between metal material target and a semiconductor substrate, is used. When this is applied to manufacturing of CMOS logic device, Co film deposit with comparatively good coverage can be performed even to a micro diffusion layer region between gate electrodes, and at the same time, it is possible to deposit Co of almost the same thickness to both large and small regions and to form low resistance Co silicide layer having the same sheet resistance value on both regions.

However, with above-mentioned conventional method, as the distance between gate electrodes becomes short, that is, as the aspect ratio becomes large, even if a Co film is deposited aiming for the thickness of 10 nm with directional sputtering method, the thick part in the middle is deposited only 6 nm thick, and on the other hand, the part with long distance between gate electrodes are deposited about almost 10 nm thick as aimed. When a Co film of such sample is silicidized by heat treatment, it was a problem that the thickness and the sheet resistance of the silicide layer formed in the region where the distance between polysilicon gate electrodes was long and those in the region where the distance between polysilicon gate electrode was short (that is, a large region and a small region) were different because of the different thickness of the Co film.

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-269482

(P 2000-269482A)

(43)公開日 平成12年9月29日(2000.9.29)

(51)Int.Cl.<sup>7</sup>

H01L 29/78

21/336

識別記号

F I

H01L 29/78

301

P 5F040

テマコード (参考)

審査請求 未請求 請求項の数 5 O L (全5頁)

(21)出願番号

特願平11-72845

(22)出願日

平成11年3月18日(1999.3.18)

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 堤 紀久子

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 杉山 龍男

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人 100076174

弁理士 宮井 暎夫

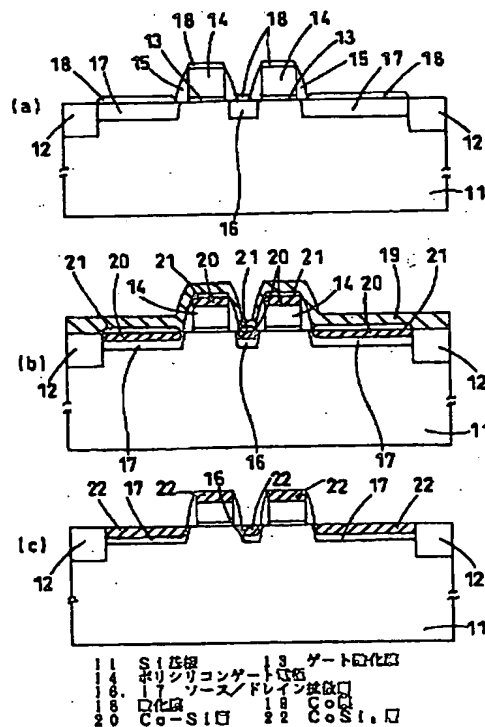
最終頁に続く

## (54)【発明の名称】半導体装置の製造方法

## (57)【要約】

【課題】 半導体基板上で金属のカバレージが悪い微細領域でも、カバレージの良い広い領域と同じ膜厚およびシート抵抗を有するシリサイド層を形成する。

【解決手段】 ソース/ドレイン拡散層16、17を形成した上に薄い酸化膜18を形成する。次にCo膜19を指向性スパッタ法で基板加熱しながら堆積すると、組成が熱的に安定ではない中間的なCo-Si層20とCo-Si-O層21とが形成される。未反応のまま残ったCo膜19およびCo-Si-O層21のみを選択的に除去した後、高温熱処理を行うと、中間的なCo-Si層20がCoSi<sub>2</sub>層22に変わり膜厚が増加する。酸化膜18を形成することによってCoとSiとの反応速度が抑制され、微細領域でも広い領域と同じ膜厚のCo-Si層20を形成でき、結果、均一な膜厚およびシート抵抗のCoSi<sub>2</sub>層22を形成できる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に酸化膜を形成する工程と、  
前記酸化膜上に金属を堆積し、前記金属が前記酸化膜を通して前記半導体基板の表面部分と反応した中間反応層を形成する工程と、  
前記中間反応層を形成していない前記金属および前記酸化膜を除去した後、高温熱処理により前記中間反応層をシリサイド層に変化させる工程を含む半導体装置の製造方法。

【請求項2】 半導体基板上にゲート絶縁膜を介してゲート電極が複数形成され、前記ゲート電極の間に挟まれた前記半導体基板の表面にソース／ドレイン拡散層が形成され、前記ソース／ドレイン拡散層上に酸化膜、中間反応層およびシリサイド層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 中間反応層を形成する工程は、半導体基板を加熱しながら金属を堆積することによって行われることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 酸化膜の厚さは0.1~1nmであることを特徴とする請求項1、2または3記載の半導体装置の製造方法。

【請求項5】 金属は高融点金属であることを特徴とする請求項1、2、3または4記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えばMOSトランジスタのソース、ドレイン拡散層等の上にシリサイド層が形成される半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】半導体集積回路の微細化につれて、MOSトランジスタのゲート電極、ソース・ドレイン拡散層ともに低抵抗な電極とすることができるシリサイド構造と呼ばれるトランジスタ形成技術の開発が要求されている。例えばCoを用いたCoシリサイド構造では、金属材料ターゲットと半導体基板とを距離をおいて金属膜を形成する遠距離スパッタに代表される指向性スパッタ法

(例えばアルバック テクニカル ジャーナル47巻

35頁 1997年) が用いられる。これをCMOSロジックデバイス製造に応用するとゲート電極に挟まれた微細拡散層領域にも比較的カバレッジの良いCo膜堆積を行うことができ、それと同時に広い領域にも狭い領域にもほぼ同じ膜厚のCoを堆積することが可能となり、両領域に同じシート抵抗値を有する低抵抗Coシリサイド層を形成することが従来から可能であった。

【0003】ここで従来の指向性スパッタ法でCo膜を堆積する場合について図2を用いて説明する。図2

(a)に示すように、Si基板1上に素子分離部2によって分離されたソース・ドレイン拡散層3が存在し、この拡散層3の間にゲート酸化膜4を介し高さ0.2μmのポリシリコンゲート電極5、6、7、8が、絶縁膜からなるサイドウォール9に挟まれて形成されている。この例ではゲート電極5と6の間の寸法は例えば1.0μmであり、ゲート電極7、8の間の寸法は0.5μmである。この構造の上に指向性スパッタ法を用いて厚さ10nmのCo膜10を堆積する。この指向性スパッタ法では、ArプラズマによってCoターゲットからたたき出したCo原子をSi基板1に対してほぼ垂直に入射させて堆積するのであるが、図2(b)に示すように、ゲート電極7、8に挟まれた狭い領域の中央部Aで9nm程度、周辺部Bでも8nm程度の厚さのCo膜10が形成される。なお、図2(b)は、ポリシリコンゲート電極7、8付近のみを示したものである。

【0004】このような指向性スパッタ法を用いて堆積したCo膜10を、後工程で熱処理を行うことによりSi基板1と反応させ、Si基板1上にCoシリサイド層を形成する。このシリサイド層は、ゲート電極の間隔が0.5μm程度であるうちはその間隔寸法に依らず、ほぼ一定の膜厚を有し、少なくともチップ内では均一なシート抵抗値を有したシリサイド層を形成することができた。

## 【0005】

【発明が解決しようとする課題】しかしながら上記従来の方法では、図2で示したポリシリコンゲート電極7、8の間隔がさらに狭く0.2μm程度となってくると、すなわち、ゲート電極7、8の間の深さが約0.2μm、間隔が0.2μm程度とアスペクト比が大きくなってくると、たとえ指向性スパッタ法を用いて10nmの膜厚を目標としてCo膜を堆積したとしても、中央部の厚いところで6nm程度の厚さしか堆積されず、一方、ゲート電極の間隔の広い部分ではほぼ目標通り10nm堆積される。このような試料を熱処理を行ってCo膜をシリサイド化した場合、ポリシリコンゲート電極間隔の広い部分と狭い部分(すなわち広い領域と微細領域)とで、Co膜の厚さの違いによって膜厚およびシート抵抗の大きく異なるシリサイド層が形成されるという問題があった。

【0006】さらに、このような膜厚およびシート抵抗の大きく異なるCoシリサイド層が形成されると、後工程でCoシリサイド層上に形成された層間絶縁膜にコンタクトを開口するコンタクトエッチで、ポリシリコンゲート電極間隔の狭い部分でオーバーエッチングに基づくCoシリサイド層を突き抜けその下の拡散層まで達することによりコンタクト抵抗が増大してしまう。また、ポリシリコンゲート電極間隔の広い部分と狭い部分とで拡散層抵抗のばらつきによるデバイスの動作スピードのばらつきが発生する。このように、ポリシリコンゲート電

極間隔の狭い部分におけるコンタクト抵抗の増大や、デバイスの動作スピードのばらつきにより、完成した半導体装置に不良が発生し、製造歩留りが低下することにもなる。また、ポリシリコンゲート電極間隔の狭い部分でのCo堆積膜厚を目標の膜厚まで増加させようとする、ポリシリコンゲート電極間隔の広い部分のCo堆積膜厚が目標の膜厚よりも厚くなり、そこで形成されるCoSi<sub>2</sub>膜厚が厚くなることによってこの部分でp-n接合リークが増加し、完成した半導体装置に不良が発生し、製造歩留りが低下することにもなる。

【0007】一方、更にこのような狭いゲート電極間のカバレッジを向上するために、Co膜のCVD法が考えられるが、今のところ、工業的なCo金属のCVD法は存在しない。

【0008】本発明は上記の問題点に鑑み、金属のカバレッジが悪い微細領域でも、カバレッジの良い広い領域と同じ膜厚およびシート抵抗を有するシリサイド層を形成することが可能な半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に酸化膜を形成する工程と、酸化膜上に金属を堆積し、金属が酸化膜を通して半導体基板の表面部分と反応した中間反応層を形成する工程と、中間反応層を形成していない金属および酸化膜を除去した後、高温熱処理により中間反応層をシリサイド層に変化させる工程とを含んでいる。

【0010】この製造方法によれば、酸化膜が存在することによって金属と半導体基板との反応速度が抑制され、金属のカバレッジが悪い微細領域でも、カバレッジの良い広い領域と同じ膜厚の中間反応層を形成でき、結果、微細領域と広い領域とで同じ膜厚およびシート抵抗を有するシリサイド層を形成することができる。金属堆積時の基板加熱条件などによって中間反応層の厚さを制御することができ、延いてはシリサイド層の厚さを制御できる。

【0011】また、半導体基板上にゲート絶縁膜を介してゲート電極が複数形成され、ゲート電極の間に挟まれた半導体基板の表面にソース/ドレイン拡散層が形成され、そのソース/ドレイン拡散層上に酸化膜、中間反応層およびシリサイド層を形成することにより、ゲート電極に挟まれた微細領域のソース/ドレイン拡散層であっても、広い領域のソース/ドレイン拡散層であっても、その上に同じ膜厚およびシート抵抗を有するシリサイド層を形成することができ、ソース/ドレイン拡散層をその領域の広さに依らず均一に低抵抗化できる。

【0012】また、中間反応層を形成する工程は、半導体基板を加熱しながら金属を堆積することによって行われることが望ましい。

【0013】また、酸化膜の厚さは0.1~1nmであ

ることが望ましい。

【0014】また、金属は高融点金属であることが望ましい。

【0015】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照しながら説明する。図1は本発明の実施の形態における半導体装置の製造方法を示す工程断面図である。この図1では、MOSトランジスタが複数形成される部分のうち特にゲート電極間隔が狭い部分を示している。

10 【0016】まず、図1(a)に示すように、厚い絶縁膜からなる素子分離部12が形成されたSi基板(半導体基板)11上に、ゲート酸化膜13、ポリシリコンゲート電極14、サイドウォール15を形成した後、ソース/ドレイン拡散層16、17を形成する。ソース/ドレイン拡散層16は幅0.2μm以下の微細領域となっており、またソース/ドレイン拡散層17は幅0.2μmを超える広い領域となっており、Si基板11表面が露出している。この基板をフッ酸/水の混合液(混合比1:100)でソース/ドレイン拡散層16、17表面を清浄化する。その後、80℃のアンモニア/過酸化水素水/水の混合液(混合比1:1:8)に10分間、浸漬させることにより、ソース/ドレイン拡散層16、17表面上およびポリシリコンゲート電極14表面上に0.7nm厚の酸化膜18を形成する。

20 【0017】次に、図1(b)に示すように、厚さ20nmのCo膜19を指向性スパッタ法で基板温度200℃で堆積する。堆積時の基板加熱は、上に述べた清浄化工程などにおける基板表面の吸着水分などを除去して界面を清浄にし、CoとSiとの反応が不均一にならないようにするためにほとんどの場合必要となるものである。しかし、吸着水分が無視できるのであれば、室温付近で堆積した後、200℃程度の温度で熱処理することも可能であるが、基板加熱しながら堆積するのが望ましい。

【0018】上記の基板温度200℃でCoを堆積したとき、堆積中に約5nmのCoが薄い酸化膜18を突き抜けてSi基板11のSiと反応し、組成が熱的に安定ではない中間的なCo-Si層(中間反応層)20が膜厚約5nm形成される。またそれと同時に酸化膜18がCo膜19と反応し、Co-Si-O層21を形成する。また、ポリシリコンゲート電極14の表面上においても同様な反応が起こっている。一方、素子分離部12上およびサイドウォール15上に堆積されたCo膜19は、通常素子分離部12およびサイドウォール15はSi酸化膜からなるのでCo膜19の堆積中ソース/ドレイン拡散層16、17表面上と同じようにCo-Si-O層21が形成されるが、反応すべきSiは存在しないので大部分未反応のCo膜19として残る。なお、Coを室温付近で堆積した後、200℃程度の温度で熱処理する場合には、熱処理されるときに上記の反応が起こ

る。

【0019】この後、アンモニア／過酸化水素水／水の混合液（混合比1：1：8、80℃）を用いて未反応のまま残ったCo膜19およびCo-Si-O層21のみを選択的に除去すると、ソース／ドレイン拡散層16、17上およびポリシリコンゲート電極14上にCo-Si層20が残る。これに例えば800℃、30秒間の熱処理を施し、膜厚約10nmの熱的に安定した最終生成物であるCoSi<sub>1</sub>層（シリサイド層）22を形成する（図1(c)）。ここでこの高温熱処理によって、中間的なCo-Si層20がCoSi<sub>1</sub>層22に変わるときに結晶構造が変化し、このために体積が膨張し約5nmから約10nmに膜厚が増加する。

【0020】以上のように本実施の形態では、ソース／ドレイン拡散層16、17表面上に例えば0.7nm厚の薄い酸化膜18を形成し、その上にCo膜19を、堆積中の反応で消費されるCo膜厚（5nm）よりもかなり厚く（20nm）堆積している。

【0021】Coのスパッタ堆積中にポリシリコンゲート電極14がCo金属原子のソース／ドレイン拡散層16、17上の表面付着を阻害する壁となるが、Co膜19を厚く堆積することによって、ポリシリコンゲート電極14に囲まれたサイズの異なる比較的大きな拡散層17だけでなく、非常に小さな狭い拡散層16上にも最終目標とする厚さのCoSi<sub>1</sub>層22を形成できるだけのCo膜が形成される。

【0022】そして従来のようにソース／ドレイン拡散層表面に基板加熱をしながら直接接合するようにCo膜を堆積する方法では、基板加熱温度が200℃という低温であってもきわめて速くCo膜とSiが反応するので堆積したCoはほとんど全部反応する。従ってCo-Si層の厚さは最初に堆積するCo膜の厚さで制御しなければならなかった。このような方法では広いソース／ドレイン拡散層と狭いソース／ドレイン拡散層とではどうしても異なる膜厚に形成され、結局異なる厚さのCoSi<sub>1</sub>層しか形成できなかった。

【0023】これに対して、本実施の形態では、まず、薄い酸化膜18を積極的に形成するが、これは基板加熱堆積中にCo膜とSiとの反応速度を抑制する働きをする。これによって形成するCo-Si層20の厚さを、スパッタ堆積中における基板加熱の時間で制御できるようになる。すなわち、例えば酸化膜18の厚さと形成するCo-Si層20の厚さに対応して基板加熱時間を決めておけばよいのである。このようにしてCo-Si層20の厚さを制御できるから、最初に形成するCo膜19の厚さは充分厚くすることが可能となり、広さの異なるソース／ドレイン拡散層16、17の両方に同じ厚さのCo-Si層20を形成でき、最終的に、広さの異なるソース／ドレイン拡散層16、17の両方に目標とする同じ厚さのCoSi<sub>1</sub>層22を形成することができ

る。したがって、全ての領域でばらつきの少ないシート抵抗値を有した拡散層を形成することができる。

【0024】このため、従来のような拡散層抵抗のばらつきによるデバイスの動作スピードのばらつきが発生するということを回避できる。また、従来のように、後工程でCoSi<sub>1</sub>層上に形成された層間絶縁膜にコンタクトを開口する時のオーバーエッチングで、微細な領域でのCoSi<sub>1</sub>層が薄くてCoSi<sub>1</sub>層を突き抜けるということもなくなる。また、従来のように微細な領域でのCo堆積膜厚を増加させる為に、広い領域でのCo堆積膜厚が厚くなり、そこで形成されるCoSi<sub>1</sub>膜厚が厚くなることによってこの部分でp-n接合リークが増加するという問題も回避できる。

【0025】なお、本実施の形態では、酸化膜18の膜厚として0.7nmを例にとり説明したが、例えばアンモニア／過酸化水素水／水の混合液への浸漬時間を制御し、酸化膜18を0.1nm（浸漬時間約30秒）～1nm（浸漬時間約20分）にし、Siと反応するCoの量を調整する事ができる。また0.1から1nmの間で制御性がある他の方法、例えばCVD法で酸化膜18を形成しても良い。

【0026】また、Co堆積温度を制御することでSiとCoの反応量が制御できることは言うまでもない。例えば上記実施の形態では堆積温度（基板温度）を200℃として約5nm厚のCo-Si層20を形成したが、堆積温度を300℃とすると約7nm厚のCo-Si層20が堆積中に形成される。

【0027】また、Co膜19の膜厚を20nmとしたが、堆積中の反応で消費されるCo膜厚（堆積温度200℃では約5nm）より分厚い量を堆積すればよい。

【0028】さらに本実施の形態では、Co金属を例にとり説明したが、Ta、Ni、Mo、Zr、Tiなど、シリサイドプロセスに用いられる他の高融点金属を用いても同じ効果が得られることも言うまでもない。

【0029】

【発明の効果】以上のように本発明は、半導体基板上に酸化膜を形成し、その上に金属を堆積するようにしており、酸化膜が存在することによって金属と半導体基板との反応速度が抑制され、金属のカバレッジが悪い微細領域でも、カバレッジの良い広い領域と同じ膜厚の中間反応層を形成でき、結果、微細領域と広い領域とで同じ膜厚およびシート抵抗を有するシリサイド層を形成することができる。金属堆積時の基板加熱条件などによって中間反応層の厚さを制御することができ、延いてはシリサイド層の厚さを制御できる。

【0030】また、半導体基板上にゲート絶縁膜を介してゲート電極が複数形成され、ゲート電極の間に挟まれた半導体基板の表面にソース／ドレイン拡散層が形成され、そのソース／ドレイン拡散層上に酸化膜、中間反応層およびシリサイド層を形成することにより、ゲート電

10

20

30

40

50

極に挟まれた微細領域のソース／ドレイン拡散層であっても、広い領域のソース／ドレイン拡散層であっても、その上に同じ膜厚およびシート抵抗を有するシリサイド層を形成することができ、ソース／ドレイン拡散層をその領域の広さに依らず均一に低抵抗化できる。

【0031】そして、従来の方法で問題となっていた微細領域でのカバレッジ低下による抵抗値の拡散層サイズによるばらつき、抵抗値を低くする為に金属を厚く堆積した場合の接合リークなどを改善することができ、半導体装置の製造歩留りを向上することが可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体装置の製造方法を示す工程断面図。

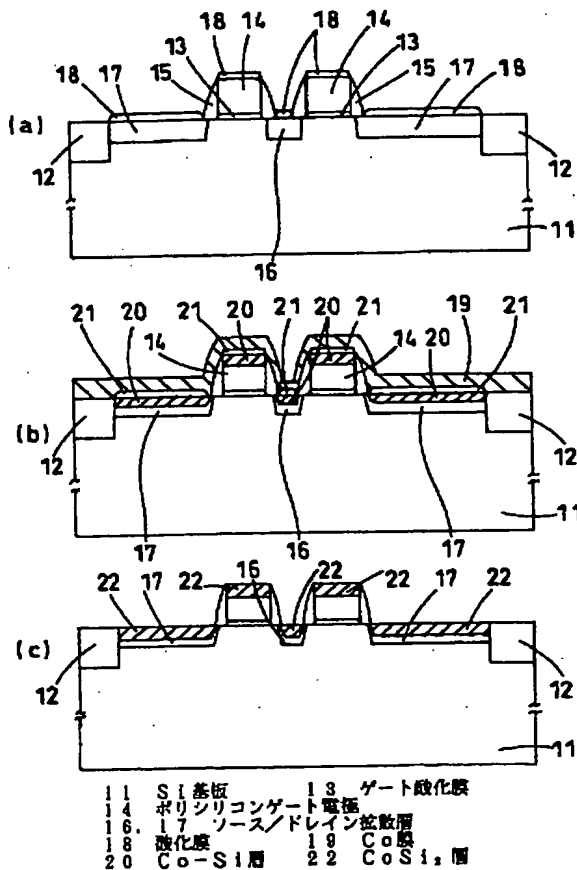
【図2】従来の半導体装置の製造方法を示す工程断面図。

図。

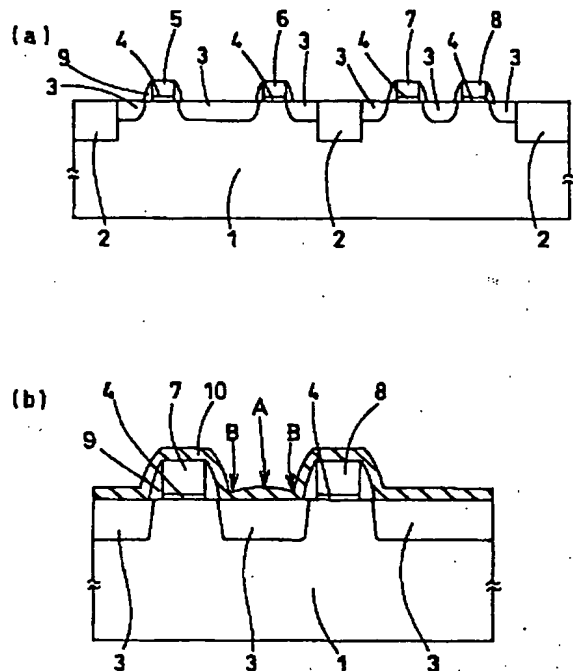
【符号の説明】

- 11 Si基板
- 12 素子分離部
- 13 ゲート酸化膜
- 14 ポリシリコンゲート電極
- 15 サイドウォール
- 16 ソース／ドレイン拡散層
- 17 ソース／ドレイン拡散層
- 18 酸化膜
- 19 Co膜
- 20 Co-Si層
- 21 Co-Si-O層
- 22 CoSi<sub>2</sub>層

【図1】



【図2】



フロントページの続き

(72)発明者 小川 真一  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

Fターム(参考) 5F040 DA10 DC01 EC04 EC07 EC13  
EH02 FA03 FC19